

Final Project Digital System Design

Selamat! Anda sudah hampir menyelesaikan praktikum Perancangan Sistem Digital. Pada modul terakhir ini, anda diberikan kesempatan untuk membuat sebuah proyek bersama teman kelompok anda dengan ketentuan sebagai berikut:

Timeline Proyek Akhir

Judul Proyek	Diskusikan dengan asisten pendamping (Ditentukan maksimal Minggu, 24 November 2024)
Waktu Pengumpulan Proyek	Minggu, 8 Desember 2024 23.59 WIB
Pekan Presentasi	9 - 13 Desember 2024 (diskusikan dengan asisten pendamping)

Kriteria Proyek Akhir

1. Proyek akhir mencakup semua modul praktikum. Program dan testbench **WAJIB** menggunakan bahasa VHDL beserta penjelasan kode menggunakan komentar.
2. Membuat repository publik di Github untuk pengumpulan proyek. Setiap individu perlu melakukan commit secara berkala agar kontribusi individu tersebut terlihat di dalam proyek akhir (akan ada form penilaian kontribusi juga).
3. **Wajib** mengundang asisten pendamping sebagai collaborator ke dalam repo tersebut dan ke grup LINE.
4. **Dilarang** melakukan force push pada repo karena dapat menghapus commit history
5. Wajib membuat README.md pada repository proyek akhir yang berisi penjelasan mengenai proyek yang Anda buat. Bagian-bagiannya boleh disamakan dengan yang ada di file laporan dengan tambahan penjelasan snippet kode
 - Tutorial: [Markdown Crach Course](#)
 - Template: [Markdown Template](#)
6. Kompleksitas program akan mempengaruhi nilai proyek akhir. Jika proyek akhir yang Anda buat hanya sebatas dapat memenuhi modul dan kurang cocok diterapkan pada

FPGA, maka nilainya akan lebih kecil dibandingkan yang lebih cocok.

- **Contoh yang kurang cocok** (tidak dilarang): Membuat Vending Machine dapat diimplementasikan di FPGA atau proyek DSD yang pernah Anda buat dapat juga diimplementasikan dengan FPGA (VHDL). Akan tetapi, tidak ada orang yang mau mengimplementasikan hal sesederhana itu di FPGA karena lebih praktis menggunakan Arduino atau mikrokontroler lain.
- **Contoh yang lebih cocok:** Membuat hardware accelerator untuk algoritma tertentu yang sering dipakai.

7. Membuat laporan proyek akhir berdasarkan template yang ada
8. Membuat PPT
9. Minimal mengadaptasi **6 modul** praktikum

Bobot Penilaian Proyek Akhir

Kriteria	Bobot
Laporan (PDF & MD)	15%
Presentasi (PPT, Penyampaian, dan Tanya Jawab)	20%
Kompleksitas (termasuk Pemahaman)	25%
Kreativitas Ide	10%
Keberhasilan	30%

File dan Tempat Pengumpulan

EMAS2

1. Link Github (di [EMAS2](#))

Github Repository

1. File laporan PDF
2. File presentasi PDF
3. Source code + Testbench
4. Sintesis program (Quartus atau Vivado)
5. Simulasi program (Modelsim atau Vivado)

Contoh Ide Proyek Akhir

Hanya dijadikan contoh, DILARANG menjiplak ide proyek ini

1. **VHDL FP Adder**: Mempercepat penjumlahan floating point dengan menggunakan FPGA, [source](#)
2. **VHDL Image Color Scaler**: Mengubah warna gambar dengan menggunakan FPGA, [source](#)
3. **VHDL Image Upscaler**: Melakukan Upscaling pada sebuah gambar, [source](#)

Revision #2

Created 15 November 2024 01:54:44 by GI

Updated 15 November 2024 02:05:23 by GI